

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

15633348

Basic Patent (No,Kind,Date): JP 11328998 A2 19991130 <No. of Patents: 002 >

LINE TEST CIRCUIT AND ITS METHOD (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): SASE RYUICHI

IPC: \*G11C-029/00; G01R-031/28

Derwent WPI Acc No: G 00-080487

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 11328998	A2	19991130	JP 98133182	A	19980515	(BASIC)
<b>JP 3250520</b>	B2	20020128	JP 98133182	A	19980515	

Priority Data (No,Kind,Date):

JP 98133182 A 19980515

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06387351      \*\*Image available\*\*

LINE TEST CIRCUIT AND ITS METHOD

PUB. NO.:      **11-328998** [JP 11328998 A]

PUBLISHED:      November 30, 1999 (19991130)

INVENTOR(s):    SASE RYUICHI

APPLICANT(s):   NEC CORP

APPL. NO.:      10-133182 [JP 98133182]

FILED:          May 15, 1998 (19980515)

INTL CLASS:     G11C-029/00; G11C-029/00; G01R-031/28

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To decrease the design cost of a test circuit and increase its integration (reduction of chip cost), and to improve reliability of a semiconductor integrated circuit without designing a complicated LSI tester data to detect a memory circuit failure caused by an address decoder signal failure by simplifying the test circuit for detecting memory circuit failure.

**SOLUTION:** An address decoder signal D0 generated by an address decoder circuit 1 is inputted to a gate electrode 8 of a one-to-one corresponding 1st transistor T10, and is also connected with a drain electrode 6 of a one-to-one corresponding 2nd transistor T20 for pull-down use. The drain electrode of T10 is connected with the gate electrode of T20; the node is connected with an external terminal 3; and source electrodes of T10 and T20 are provided with unit circuits connected with a ground line 10 of a common potential and equivalent to the total number of decoder signals. At the time of testing, abnormality of the address decoder signal D0, etc., can be detected by observing a current value and a waveform of the current flowing from the external terminal 3 into the ground line 10.

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3250520号  
(P3250520)

(45)発行日 平成14年1月28日(2002.1.28)

(24)登録日 平成13年11月16日(2001.11.16)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

G 1 1 C 29/00

6 7 1

G 1 1 C 29/00

6 7 1 Z

6 5 1

6 5 1 Z

G 0 1 R 31/28

G 0 1 R 31/28

B

V

請求項の数8(全 7 頁)

(21)出願番号

特願平10-133182

(22)出願日

平成10年5月15日(1998.5.15)

(65)公開番号

特開平11-328998

(43)公開日

平成11年11月30日(1999.11.30)

審査請求日

平成10年5月15日(1998.5.15)

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者

佐瀬 柳一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人

100086645

弁理士 岩佐 義幸

審査官 堀江 義隆

(56)参考文献

特開 平6-201792 (J P, A)

特開 平4-132099 (J P, A)

特開 平1-208795 (J P, A)

特開 昭60-224199 (J P, A)

最終頁に続く

(54)【発明の名称】 ラインテスト回路およびラインテスト方法

(57)【特許請求の範囲】

【請求項1】 デコーダ信号をゲート電極への入力とする前記デコーダ信号と1対1対応の第1トランジスタと、該第1トランジスタのゲート電極が接続された第2トランジスタとを有し、前記第1トランジスタのドレイン電極と前記第2トランジスタのゲート電極とを接続し、かつ前記第1トランジスタと前記第2トランジスタのソース電極を共通電位に接続して成る単位回路を全デコーダ信号分だけ設け、全ての前記第1トランジスタのドレイン電極を接続し、該接続点を外部端子としたことを特徴とするラインテスト回路。

【請求項2】 前記デコーダ信号は、メモリのアドレスデコーダ信号であることを特徴とする請求項1記載のラインテスト回路。

【請求項3】 前記第1トランジスタおよび前記第2トランジスタはNチャネルMOSトランジスタであることを特徴とする請求項1または請求項2記載のラインテスト回路。

【請求項4】 請求項2または請求項3記載のラインテスト回路を備えた半導体メモリ。

【請求項5】 請求項4記載の半導体メモリを備えたマイクロコンピュータまたはカスタムロジック回路。

【請求項6】 デコーダ信号をゲート電極への入力とする前記デコーダ信号と1対1対応の第1トランジスタと、該第1トランジスタのゲート電極が接続された第2トランジスタとを有し、前記第1トランジスタのドレイン電極と前記第2トランジスタのゲート電極とを接続し、かつ前記第1トランジスタと前記第2トランジスタのソース電極を共通電位に接続して成る単位回路を全デコーダ信号分だけ設け、全ての前記第1トランジスタのドレイン電極を接続し、該接続点を外部端子としたことを特徴とするラインテスト回路。

ン電極を接続し、該接続点を外部端子として、該外部端子を前記第2トランジスタのしきい値電圧以上の電圧印加して、該外部端子から接地線へ流れる電流値と電流波形を観測することにより、前記デコード信号を伝える導線の接続異常を検出することを特徴とするラインテスト方法。

【請求項7】前記導線の接続異常テストを行わないときは、前記外部端子を接地電位へ接続することを特徴とする請求項6記載のラインテスト方法。

【請求項8】前記デコード信号は、メモリのアドレスデコード信号であって、該アドレスデコード信号を順次に発生させながら前記導線の接続異常を検出することを特徴とする請求項6または請求項7記載のラインテスト方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、メモリ等におけるデコード回路の出力であるデコード信号を伝える導線の接続異常を検出するラインテスト方法およびそのラインテスト回路に関する。

##### 【0002】

【従来の技術】半導体集積回路に内蔵されるプログラマブルメモリ（電氣的にメモリデータの書き込み・読み出しが可能なメモリ）等のメモリ回路は、図4に示すように、例えばアドレスデコード回路1により、8本のアドレス入力信号A0～A7から最大2の8乗すなわち256本のアドレスデコード信号を生成し、この256本のアドレスデコード信号が、メモリセル群2内のメモリセル用の電界効果型トランジスタ（以下トランジスタと記す）に1対1に対応する構成を有している。なお、特に断らない限りNチャンネル型トランジスタで説明し、またメモリセル群2はセレクト回路やアンプ回路を含むものとするが図示は省略する。

【0003】図5により、このようなメモリ回路の動作を説明する。8ビット構成のメモリ回路の場合、256本のアドレスデコード信号の内から、例えばD0のみがデータ“1”となり、その他のアドレスデコード信号が“0”となるように、1本のアドレスデコード信号D0のみが電氣的に選択される。すると、D0に1対1に対応する8個のメモリセルトランジスタQ0～Q7が電氣的に選択され、Q0～Q7の各々の電氣的な状態、例えばオン或いはオフの状態に対応したビット信号がビット線B0～B7に出力される。

【0004】図6は、以上に説明したメモリ回路、特にプログラマブルメモリ回路を半導体集積回路を試験するための論理回路試験装置（LSIテストと称す）でテストする際に、従来使用していたテストデータの概念図の一例を表している。各アドレスデコード信号に対応する各メモリデータは、ビット線方向に1ビットだけ異なるデータに設定している。アドレスデコード信号が何らか

の原因により不具合となり電氣的に短絡したりする場合、同時に複数本のアドレスデコード信号が選択されるため、ビット線出力は論理回路的に不定となり異常なデータが出力され、LSIテストによる試験でこのようなメモリ回路を不良品として検出することが可能である。

【0005】図7は、メモリ回路に対して、各アドレスデコード信号の電氣的な状態を検出するためのテスト回路12を付加した従来例を示す。テスト回路12の具体例は図8に示すとおりであり、排他的論理和の反転回路13を用いている。ここで、アドレスデコード信号は簡単のため8本とした。通常、メモリ回路では、アドレスデコード信号は必ず1本のみが電氣的に選択される。もし、図8のアドレスデコード信号D0～D7が1本も選択されないと、すなわちD0～D7が全て“0”の場合、エラー出力14は論理回路的にデータ“1”が出力される。また、複数本のアドレスデコード信号が選択されても、例えばD0、D1がともに“1”で、残りのD2～D7が全て“0”の場合、同様にエラー出力14は論理回路的にデータ“1”が出力される。アドレスデコード信号が正しく1本のみ選択されるとエラー出力は“0”となる。従って図8のテスト回路12は、アドレスデコード信号の電氣的な状態を回路的に正しく検出できる機能を有している。

【0006】尚、図7および図8に示したテスト回路によるテストは、回路的手段によりアドレスデコード信号不具合を検出するものであるために、図6に示したようなテストデータは必要とされない。

##### 【0007】

【発明が解決しようとする課題】しかしながら、上述した従来のテスト方法のうちLSIテストによるときは、LSIテストでアドレスデコード信号の不具合を検出するためには、アドレスデコード信号毎に相異なるメモリデータとなるように、LSIテスト用のテストデータを設計し検査する必要がある。特にメモリ容量が長大な場合は、テストデータも長大となりテストデータ設計工数がかかる欠点がある。その理由は、この方法では、テスト回路を備えていないため、アドレスデコード信号の不具合を回路的に検出することができないためである。

【0008】また、従来のテスト方法のうちテスト回路によるときは、アドレスデコード信号の不具合を回路的に検出することが可能であり、従ってLSIテスト用のテストデータは特別に工夫する必要がなくなる。しかしチップの面積が大きくなる欠点がある。

【0009】その理由は、テスト回路の単位回路（構成回路）に排他的論理和回路を使用しているのでトランジスタの素子数が多くなるからである。

【0010】本発明の目的は、アドレスデコード信号の不具合によるメモリ回路不具合を検出するのに、複雑なLSIテストデータを設計することなく、かつ前記不具合を検出するためのテスト回路を簡単な回路にすること

で、設計コスト低減高集積化（チップコスト低減）、半導体集積回路の信頼性向上を図ることができるラインテスト方法およびそのテスト回路を提供することにある。

#### 【0011】

【課題を解決するための手段】本発明のラインテスト回路は、デコード信号をゲート電極への入力とする前記デコード信号と1対1対応の第1トランジスタと、該第1トランジスタのゲート電極が接続された第2トランジスタとを有し、前記第1トランジスタのドレイン電極と前記第2トランジスタのゲート電極とを接続し、かつ前記第1トランジスタと前記第2トランジスタのソース電極を共通電位に接続して成る単位回路を全デコード信号分だけ設け、全ての前記第1トランジスタのドレイン電極を接続し、該接続点を外部端子としたことを特徴とする。

【0012】本発明の好ましい実施の形態としてのラインテスト回路は、前記デコード信号は、メモリのアドレスデコード信号であることを特徴とする。

【0013】また、本発明のラインテスト方法は、デコード信号をゲート電極への入力とする前記デコード信号と1対1対応の第1トランジスタと、該第1トランジスタのゲート電極が接続された第2トランジスタとを有し、前記第1トランジスタのドレイン電極と前記第2トランジスタのゲート電極とを接続し、かつ前記第1トランジスタと前記第2トランジスタのソース電極を共通電位に接続して成る単位回路を全デコード信号分だけ設け、全ての前記第1トランジスタのドレイン電極を接続し、該接続点を外部端子として、該外部端子を前記第2トランジスタのしきい値電圧以上の電圧印加して、該外部端子から接地線へ流れる電流値と電流波形を観測することにより、前記デコード信号を伝える導線の接続異常を検出することを特徴とする。

#### 【0014】

【発明の実施の形態】次に、本発明の実施の形態について説明する。本発明のラインテスト回路は、デコード信号をゲート電極への入力とする前記デコード信号と1対1対応の第1トランジスタと、該第1トランジスタのゲート電極が接続された第2トランジスタとを有し、前記第1トランジスタのドレイン電極と前記第2トランジスタのゲート電極とを接続し、かつ前記第1トランジスタと前記第2トランジスタのソース電極を共通電位に接続して成る単位回路を全デコード信号分だけ設け、全ての前記第1トランジスタのドレイン電極を接続し、該接続点を外部端子としたことを特徴とする。

【0015】以下、本発明の実施例について図面を参照して説明する。

【0016】図1は、本発明の一実施例のメモリ回路を示す。本実施例は、アドレスデコード回路1によって生成されるアドレスデコード信号D0が、1対1に対応する第1トランジスタT10のゲート電極8に入力され、

かつアドレスデコード信号D0が1対1に対応するプルダウン用の第2トランジスタT20のドレイン電極6に接続され、第1トランジスタT10のドレイン電極4と第2トランジスタT20のゲート電極9とが接続点11で接続され、接続点11が外部端子3に接続され、第1トランジスタT10および第2トランジスタT20のソース電極は共通電位である接地線10に接続されて成る単位回路を、全アドレスデコード信号分だけ備えている。

【0017】次に図1、図2を用いて本実施例の動作を説明する。図示されているトランジスタは特に断りがない限りNチャンネル型トランジスタとして説明する。通常、メモリ回路でメモリセルトランジスタを選択する時には、必ず1本のアドレスデコード信号のみが電氣的に選択される。図1でアドレスデコード信号D0が電氣的に選択されて、例えば論理値“1”になると残りのアドレスデコード信号は全て論理値“0”となり、選択されない。その際、アドレスデコード信号D0に対応するメモリセルトランジスタが選択されると同時にアドレスデコード信号状態検出用の第1トランジスタT10が選択され電氣的にオン状態となる。外部端子3にNチャンネルトランジスタのしきい値電圧以上の適切な電圧を印加すればプルダウン用の第2トランジスタT20も同時にオン状態となる。外部端子3には電圧が印加されており、かつアドレスデコード信号D0のみが電氣的に選択されているため、外部端子3から第1トランジスタT10のみを経由して、接地線10に電流が流れる。すなわちアドレスデコード信号が正常に生成されている場合は、第1トランジスタT10は1個のみオン状態となり、外部端子3から接地線10へ流れる電流は第1トランジスタT10の1個のみに流れる電流となる。

【0018】しかし、図2の(1)の場合のように、アドレスデコード信号D0が電氣的に選択されても、何らかの原因によりアドレスデコード信号D0とD1が電氣的に短絡（ショート）してしまうと、アドレスデコード信号D0とD1の2本が電氣的に選択されてしまう。この場合は、対応する第1トランジスタT10とT11が2個同時にオン状態となり、外部端子3から接地線10へ流れる電流は正常時の2倍となってしまう。

【0019】また、図2の(2)の場合のように、アドレスデコード信号D0が電氣的に選択されても、何らかの原因により電氣的に開放（オープン）となる場合は、第1トランジスタT10に電圧は印加されないが、プルダウン用の第2トランジスタT20はオン状態となっており、第1トランジスタT10はNチャンネル型トランジスタであるためオフ状態となる。従って外部端子3から接地線10へ流れる電流はゼロとなる。

【0020】また、図2の(3)のように、アドレスデコード信号D0がなんらかの原因により高い電気抵抗成分Rを持ち、かつアドレスデコード信号D1が正常な場

合には、図2(4)のアドレスデコーダ信号の電位波形と時間との関係を表す図で示すように、アドレスデコーダ信号D0の波形は高い電気抵抗成分のために立ち下がり時間が長くなり、アドレスデコーダ信号D0とD1が同時に論理値“1”となる期間が存在する可能性が考えられる。この場合は、正常時の電流値をAとすれば $1 < A < 2$ の間の電流が外部端子3から接地線10へ流れてしまう。なお、アドレスデコーダ信号D0が高い電気抵抗成分Rを持つことがある原因としては、スルーホールの導通不良や多層金属配線が切れかかっていること等を挙げることができる。

【0021】以上述べたように、本発明では全てのアドレスデコーダ信号の電気的狀態を検出でき、アドレスデコーダ信号が複数本ショート、或いはオープン、或いは高い電気抵抗成分を持つ場合でも外部端子3に流れる電流を測定することで、アドレスデコーダ信号の不具合すなわちメモリ回路の不具合を検出することが可能である。

【0022】尚、第2トランジスタT20、T21等は外部端子3に電圧が印加される場合、常にオン状態となるが、そのオン抵抗を適切に設計することで、アドレスデコーダ信号の電位変化への影響を少なくできる。また、メモリ回路を通常に使用し、本発明で外部端子3を使用しない場合は、外部端子3を接地電位へ接続することで、全ての第1トランジスタおよび第2トランジスタをオフさせることができ、アドレスデコーダ信号から第1トランジスタT10および第2トランジスタT20等を切り離しメモリ回路の動作に全く影響を与えないようにすることが可能である。

【0023】図3は本発明の他の実施例のメモリ回路を示す。以下、本実施例と図1に示した実施例とで重複する部分は説明を省略する。本実施例では、図1のNチャンネル型の第1トランジスタT10と第2トランジスタT20は、Pチャンネル型の第1トランジスタT100と第2トランジスタT200に置き換えている。他のトランジスタもPチャンネル型トランジスタとする。また、図1の共通電位の接地線10は、電源線15に置き換えている。さらに、本実施例では、アドレスデコーダ信号の論理を反転、すなわちアドレスデコーダ信号が電気的に選択された場合は論理値“0”とし、選択されない場合は論理値“1”とする。

【0024】図3と図2を用いて動作を説明する。アドレスデコーダ信号が正常な場合は、例えばアドレスデコーダ信号D0が1本のみが選択される。この際、外部端子3にはプルアップ用の第2トランジスタT200がオンする様に、Pチャンネル型トランジスタのしきい値電圧以上の適切な電圧が印加されているとすると、アドレスデコーダ信号D0の論理値が“0”のため、第1トランジスタT100はオン状態となる。その外に残りのアドレスデコーダ信号は選択されていないため、他の第1

トランジスタは、オフ状態となる。従って、電源線15から外部端子3に流れる電流は第1トランジスタT100に流れる電流だけであるので、アドレスデコーダ信号が正常に選択されている場合は、第1トランジスタ1個のみに電流が流れる。

【0025】また、図2の(1)のように、アドレスデコーダ信号D0が電気的に選択されたが、何らかの原因によりアドレスデコーダ信号D0とD1が電気的にショートした不具合が発生すると、D0とD1が両方とも論理値“0”となり、第1トランジスタの2個がオン状態となり、電源線15から外部端子3に流れる電流は正常時の2倍となる。従って、外部端子3に流れる電流を測定することで、アドレスデコーダ信号の不具合すなわちメモリ回路の不具合を検出することが可能である。

【0026】また、アドレスデコーダ信号が電気的に開放となったり、或いは高い電気抵抗成分を持つような不具合が発生した場合も先の実施例と同様なため説明は省略する。

【0027】なお、先の実施例と同様に、第2トランジスタT200、T201等のプルアップ用トランジスタのオン抵抗を適切に設計することで、アドレスデコーダ信号の電位変化への影響を少なくすることが可能である。

【0028】さらに、外部端子3を使用しない場合は、外部端子3を電源線に接続しアドレスデコーダ信号から第2トランジスタT200、T201等を電気的に切り離すことができる。

【0029】

【発明の効果】本発明によれば、以上に説明した構成を採用することにより、アドレスデコーダ信号不具合を検出するのにLSIテスト用の特別なテストパターンを設計する必要がなく設計工数の面から有利になるという効果がある。

【0030】その理由は、アドレスデコーダ信号不具合を回路的手段によって検出できるからである。

【0031】また、本発明によれば、LSIのチップ面積を小さく設計することができ、チップコストを安価にできる効果も有する。

【0032】その理由は、従来の単位回路のように、排他的論理和回路を使用すると、少なくともトランジスタが8素子必要であるが、本発明では単位回路として、例えば第1トランジスタT10と第2トランジスタT20の2素子で済むので素子数が $1/4$ で済むからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図

【図2】図1に示した実施例の動作の説明図で、

(1)、(2)、(3)は各々アドレスデコーダ信号が、ショートオープン、高抵抗の場合の説明図、(4)は(3)の場合のアドレスデコーダ信号の電位と時間との関係を表す波形図

【図3】 本発明の第2の実施例のブロック図  
 【図4】 一般のメモリ回路のアドレス系を示す図  
 【図5】 一般のメモリ回路のビット系を示す図  
 【図6】 メモリ回路をテストする際のテストデータを表す図

【図7】 従来のメモリのテスト回路を示す図  
 【図8】 図7に示したテスト回路の詳細図  
 【符号の説明】

A0～A7 アドレス入力信号

1 アドレスデコーダ回路

D0～D7 アドレスデコーダ信号

2 メモリセル群

B0～B7 ビット線

3 外部端子

T10, T11 第1トランジスタ

T20, T21 第2トランジスタ

10 接地線

Q0～Q7 メモリセルトランジスタ

R 電気抵抗成分

21 テスト回路

13 排他的論理和の反転回路

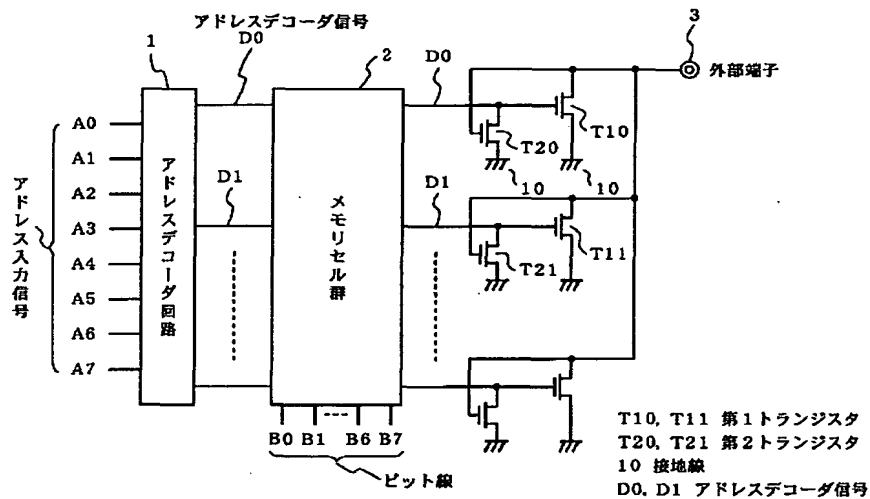
14 エラー出力

15 電源線

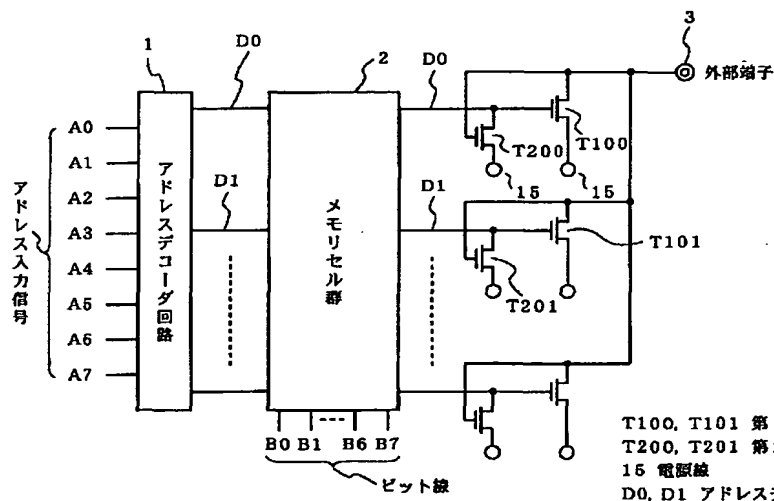
T100, T101 第1トランジスタ

T200, T201 第2トランジスタ

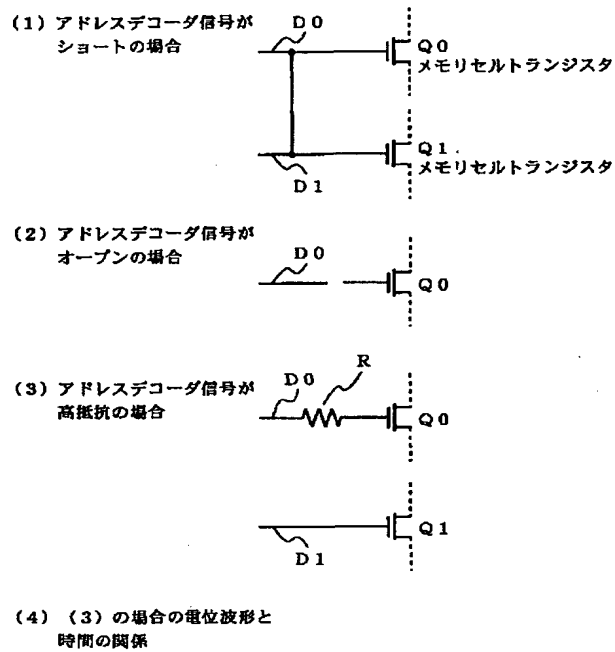
【図1】



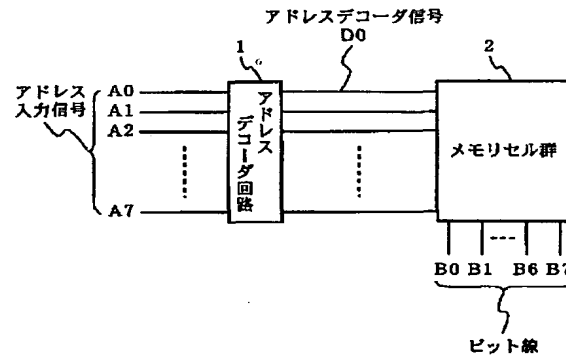
【図3】



【図2】



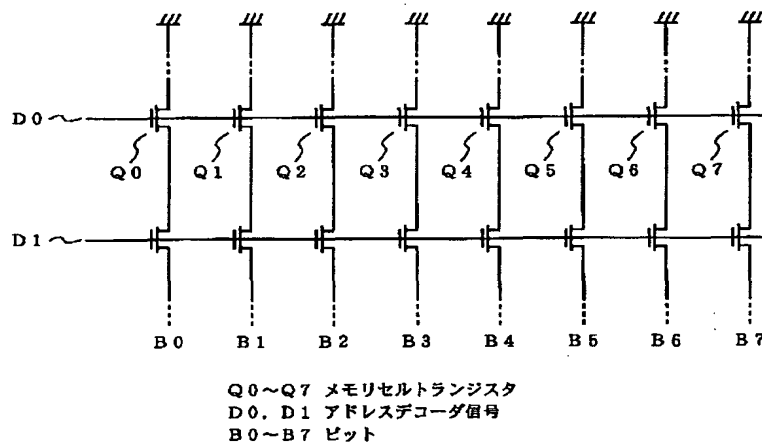
【図4】



【図6】

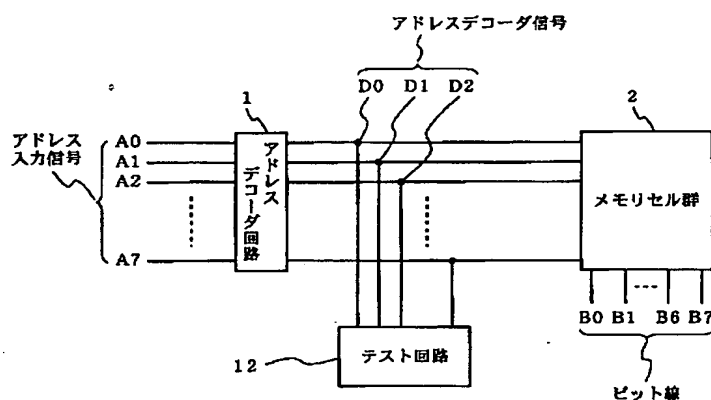
	ビット線 →								
	B0	B1	B2	B3	B4	B5	B6	B7	
D0	1	0	0	0	0	0	0	0	メモリセル
D1	0	1	0	0	0	0	0	0	メモリセルのデータ
D2	0	0	1	0	0	0	0	0	
D3	0	0	0	1	0	0	0	0	
D4	0	0	0	0	1	0	0	0	
D5	0	0	0	0	0	1	0	0	
D6	0	0	0	0	0	0	1	0	
D7	0	0	0	0	0	0	0	1	

【図5】

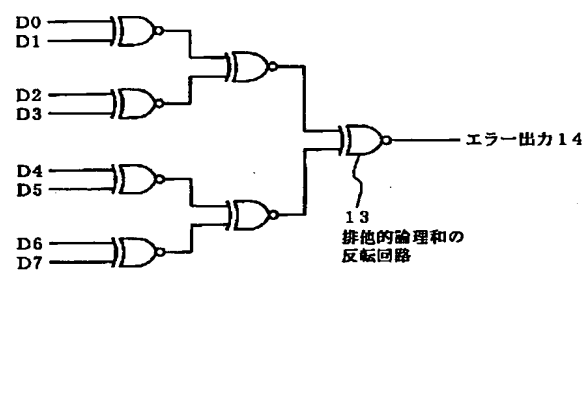




【図7】



【図8】



フロントページの続き

(58) 調査した分野 (Int. Cl. 7, DB 名)

G11C 29/00

G01R 31/28